

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-026953

(43)Date of publication of application : 27.01.1998

(51)Int.Cl.

G09G 3/20

G09G 3/36

G09G 5/12

(21)Application number : 09-051306

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 06.03.1997

(72)Inventor : ABE HIDEKI
IWAKURA NORIYUKI
HATANO TAKAHISA
SHINDO YOSHIKUNI
YAMADA KAZUHIRO
KIDA KAZUE
YAMAGUCHI KAZUNARI

(30)Priority

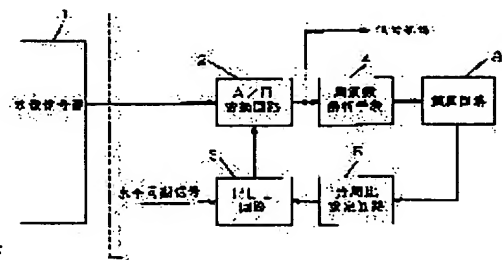
Priority number : 08112476 Priority date : 07.05.1996 Priority country : JP

(54) DOT CLOCK REPRODUCING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To simply automatically adjust the correction of phase deviation by detecting a return frequency component caused at the time of sampling at the frequency different from a dot clock of a video signal source and reproducing the dot clock so that the return frequency component is not caused.

SOLUTION: This device is provided with a frequency analysis means 4 for analyzing the return frequency component caused at the time of sampling at the clock outputted from a PLL circuit 3 for the dot clock of the video signal source 1 such as a computer. Then, the return frequency component caused at the time of sampling at the frequency different from the dot clock of the video signal is detected, and the dot clock is reproduced so that the return frequency component isn't caused. That is, the return frequency component caused at the time of sampling is detected, and a dot clock frequency is reproduced by operating the detection signal by an operation circuit 8, correcting and adjusting the dot clock frequency and successively repeating that until the return frequency component is not caused.



LEGAL STATUS

[Date of request for examination]

23.03.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3487119

[Date of registration] 31.10.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-26953

(43) 公開日 平成10年(1998) 1月27日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G	3/20	4237-5H	G 0 9 G	V
	3/36			
	5/12			

審査請求 未請求 請求項の数24 O L (全 18 頁)

(21) 出願番号 特願平9-51306
(22) 出願日 平成9年(1997) 3月6日
(31) 優先権主張番号 特願平8-112476
(32) 優先日 平8(1996) 5月7日
(33) 優先権主張国 日本 (J P)

(71) 出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地
(72) 発明者 安部 秀喜
大阪府茨木市松下町1番1号 株式会社松
下エーヴィシー・テクノロジー内
(72) 発明者 岩倉 紀行
大阪府茨木市松下町1番1号 株式会社松
下エーヴィシー・テクノロジー内
(72) 発明者 幡野 貴久
大阪府茨木市松下町1番1号 株式会社松
下エーヴィシー・テクノロジー内
(74) 代理人 弁理士 滝本 智之 (外1名)

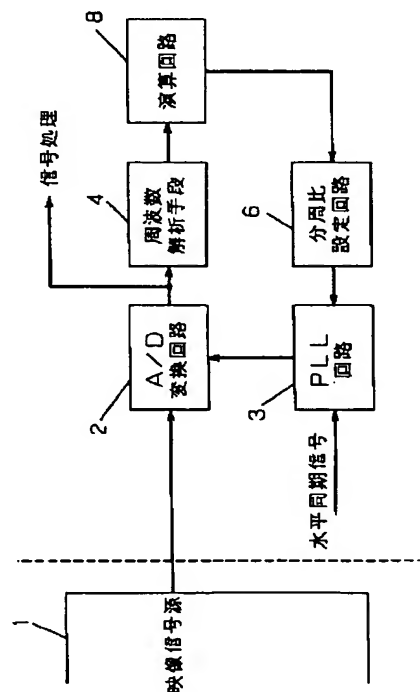
最終頁に続く

(54) 【発明の名称】 ドットクロック再生装置

(57) 【要約】

【課題】 映像信号源のドットクロック周波数、及び伝送路等で生じるドットクロックの位相差を、自動再生するドットクロック再生装置を提供するものである。

【解決手段】 調整用信号を出力する映像信号源1と、この信号出力について再生しようとするドットクロックでA/D変換した時に生ずる折返し周波数成分を周波数解析手段4で検出して、また信号レベル差検出手段5によりドット間の信号レベル差を検出し、これらの検出信号を基に、ドットクロック周波数、位相を自動調整する。



(2)

1

【特許請求の範囲】

【請求項1】 入力される各種映像に応じてドットクロックを再生するドットクロック再生装置において、映像信号のドットクロックと異なる周波数でサンプリングした際に生じる折返し周波数成分を検出してこの折返し周波数成分が生じないようにドットクロックを再生することを特徴とするドットクロック再生装置。

【請求項2】 映像信号源から出力される調整用信号を入力し、この入力映像信号をデジタル信号に変換するアナログデジタル変換器と、前記調整用信号のドットクロックと異なるサンプリングクロックでアナログデジタル変換した際に生じる折返し周波数成分を検出する周波数解析手段と、前記周波数解析手段からの出力結果によりPLL回路の分周比を設定する分周比設定回路と、水平同期信号に同期したクロックを発振する前記PLL回路を備えたことを特徴とするドットクロック再生装置。

【請求項3】 入力される各種映像に応じてドットクロックを再生するドットクロック再生装置において、アナログデジタル変換した映像信号から出力される前記調整用信号を微分した結果から、再生するドットクロックの位相を自動調整することを特徴とするドットクロック再生装置。

【請求項4】 映像信号源から出力される調整用信号を入力し、この入力映像信号をデジタル信号に変換するA/D変換器と、サンプル間の信号レベル差を検出する検出手段と、前記検出手段により得られたドット間の信号レベル差が最大となるようにPLL回路の出力クロックの位相を調整する位相調整手段と、水平同期信号に同期したクロックを発振する前記PLL回路を備えたことを特徴とするドットクロック再生装置。

【請求項5】 位相調整手段と、サンプル間の信号レベル差を検出する検出手段を設けたことを特徴とする請求項2記載のドットクロック再生装置。

【請求項6】 折返し周波数成分の検出を1フレームを複数の領域に分割して行うことを特徴とする請求項1記載のドットクロック再生装置。

【請求項7】 調整用信号を出力する映像信号源を用いて、サンプリング後の信号について微分した結果を用いて、再生するドットクロックの位相を自動調整する際に、画像として表示される信号のbit数より少ないbit数を微分することを特徴とした請求項6のドットクロック再生装置。

【請求項8】 調整用信号を出力する映像信号源を用いる代わりに、ドットクロックの位相を変化させ、位相差と微分した結果をもとに最適なクロック位相を求めることを特徴とする請求項6記載のドットクロック再生装置。

【請求項9】 入力映像信号を一定周波数のクロックでサンプリングし、1フレームのサンプリングデータを累積加算し、数フレームの加算値の標準偏差を求め、偏差

2

値が小さくなるようにドットクロックと前記入力映像信号の位相を調整することを特徴とするドットクロック再生装置。

【請求項10】 入力映像信号をデジタルに変換するA/D変換器と、前記A/D変換器の出力データを累積加算する加算器と、前記加算器の出力を垂直同期レートで出力するラッチ手段と、前記ラッチ手段の出力を入力とし数フレームの前記ラッチ手段の出力の標準偏差を求め、その値を出力する演算手段と、入力映像信号の水平同期信号を元にドットクロックを発生させるPLL回路と、前記演算手段の出力信号に応じて、前記PLL回路の出力のドットクロックの位相を調整する位相調整手段を備えたことを特徴とするドットクロック再生装置。

【請求項11】 再生しようとするドットクロックで入力信号をサンプリングし、隣り合うサンプル間でのサンプル値の差の絶対値を累算した結果をもちいて、前記ドットクロックの位相を自動調整することを特徴とするドットクロック再生装置。

【請求項12】 ドットクロックをサンプリングクロックとして入力信号をデジタル信号に変換するA/D変換器と、前記A/D変換後のデジタル信号を1サンプル周期遅らせるラッチ回路と、前記ラッチ回路の出力と前記A/D変換器の出力の差を出力する差分回路と、前記差分回路の出力の絶対値を出力する絶対値回路と、前記絶対値回路の出力を逐次累算していく累算回路と、前記累算回路の出力する累算結果を受け取り前記ドットクロックの位相を制御する制御回路とを備えたことを特徴とするドットクロック再生装置。

【請求項13】 再生しようとするドットクロックで入力信号をサンプリングし、ライン間でのサンプル値の差の絶対値を累算した結果をもちいて、前記ドットクロックの位相を自動調整することを特徴とするドットクロック再生装置。

【請求項14】 ドットクロックをサンプリングクロックとして入力信号をデジタル信号に変換するA/D変換器と、前記A/D変換後のデジタル信号を1ライン期間遅らせるラインメモリと、前記ラインメモリの出力と前記A/D変換器の出力の差を出力する差分回路と、前記差分回路の出力の絶対値を出力する絶対値回路と、前記絶対値回路の出力を逐次累算していく累算回路と、前記累算回路の出力する累算結果を受け取り前記ドットクロックの位相を制御する制御回路とを備えたことを特徴とするドットクロック再生装置。

【請求項15】 再生しようとするドットクロックで入力信号をサンプリングし、フレーム間でのサンプル値の差の絶対値を累算した結果をもちいて、前記ドットクロックの位相を自動調整することを特徴とするドットクロック再生装置。

【請求項16】 ドットクロックをサンプリングクロックとして入力信号をデジタル信号に変換するA/D変換

(3)

3

器と、前記A/D変換後のデジタル信号を1フレーム期間遅らせるフレームメモリと、前記フレームメモリの出力と前記A/D変換器の出力の差を出力する差分回路と、前記差分回路の出力の絶対値を出力する絶対値回路と、前記絶対値回路の出力を逐次累算していく累算回路と、前記累算回路の出力する累算結果を受け取り前記ドットクロックの位相を制御する制御回路とを備えたことを特徴とするドットクロック再生装置。

【請求項17】 絶対値が設定値より小さいときは累算しないようにしたことを特徴とする請求項1記載のドットクロック再生装置。

【請求項18】 設定値を記憶している記憶回路と、絶対値回路の出力と前記記憶回路が記憶している設定値とを比較し絶対値が設定値より大きいときに累算回路へイネーブル信号を出力する比較回路を設けたことを特徴とする請求項12記載のドットクロック再生装置。

【請求項19】 絶対値が設定値より大きいときは累算しないようにしたことを特徴とする請求項13記載のドットクロック再生装置。

【請求項20】 設定値を記憶している記憶回路と、絶対値回路の出力と前記記憶回路が記憶している設定値とを比較し絶対値が設定値より小さいときに累算回路へイネーブル信号を出力する比較回路を設けたことを特徴とする請求項14記載のドットクロック再生装置。

【請求項21】 累算結果の1画素あたりの平均を求めてドットクロックの位相を自動調整することを特徴とする請求項17記載のドットクロック再生装置。

【請求項22】 比較回路が出力するイネーブル信号のイネーブル期間ドットクロックのカウントを行うカウンタと、累算回路の出力を前記カウンタの出力で割り算し、制御回路に出力する割り算回路とを設けたことを特徴とする請求項18記載のドットクロック再生装置。

【請求項23】 累算した画素数をカウントしカウント値と累算した結果とを用いてドットクロックの位相を自動調整することを特徴とする請求項19記載のドットクロック再生装置。

【請求項24】 比較回路が出力するイネーブル信号のイネーブル期間ドットクロックのカウントを行い制御回路に出力するカウンタを設けたことを特徴とする請求項20記載のドットクロック再生装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、映像信号のドットクロックが出力されないコンピュータ（IBMPC等）に接続される液晶等のマトリクス表示装置、走査変換装置に関する。

【0002】

【従来の技術】パソコンやEWS等の映像信号は、水平同期信号よりも短い一定の周期（以下ドット周期）で信号レベルが変化しており、液晶などのマトリクス表示装

4

置に表示する場合や、メモリへ書き込んで信号処理を行う場合にドット周期に一致したクロック（以後、ドットクロック）が必要となる。しかし、ドットクロックを出力しているパソコンなどは少ないため、画像表示装置の方で水平同期信号をてい倍してドットクロックを再生している。

【0003】しかし、従来のドットクロック再生装置は、多岐にわたる映像信号源（コンピュータ）のドットクロック周波数、また同一映像信号源でも生じる水平同期信号と映像信号間の伝送経路などの差による位相ずれを完全に再生復元するための一調整手段であり、これらの調整を映像信号源を接続後、パソコンなどより細かい縦線などを表示して、PLL回路のてい倍数を、すっきり見えるように使用するユーザーが映し出される映像を見ながら手動で調整を行うことに頼っていた。

【0004】この調整について、ドットクロック自動再生の一例として特開平5-66752号公報に記載されたものがある。

【0005】図26に従来のドットクロック再生装置の構成を示しており、21はドット周期で変化する映像信号のエッジ検出部、22はエッジ検出部の出力エッジ、及び水平同期信号のエッジ間にパルス発振回路23で発振する高周波パルスをカウントして周期を測定する周期測定部、23は周期測定部で周期測定に使用する高周波パルスを発振するパルス発生部、24は周期測定部の出力を演算してPLL回路25で作成するサンプリングクロックの周波数を設定する演算部により構成されている。

【0006】

【発明が解決しようとする課題】しかし、前記構成では、ドットクロック周波数がXGA（Extended Graphics Array）では、60MHzから80MHzと非常に高いため、周期測定部に発振するパルス発生部での出力は更に高い周波数を必要とするため、周期測定部の構成回路が非常に高い周波数にも対応する高性能の高い部品が必要となるためコストが高くなる。

【0007】本発明は前記問題点に鑑み、映像信号源のドットクロック周波数、及び伝送路等で生じるドットクロックの位相差を、簡易に自動再生する事を目的とする。

【0008】

【課題を解決するための手段】この課題を解決するために、本発明のドットクロック再生装置は、調整用信号を出力する映像信号源と、この信号出力について再生しようとするドットクロックでA/D変換した時に生ずる折返し周波数成分を周波数解析手段で検出し、また信号レベル差検出手段によりドット間の信号レベル差を検出し、これらの検出信号を基にドットクロック周波数、位相を調整するように構成したものである。

(4)

5

【0009】また本発明は、入力信号をデジタル信号に変換するアナログデジタル変換器（以下A/D変換器と略す）と、前記映像信号源のドットクロックと異なる周波数でサンプリングした際に生じる折返し周波数成分を検出してこの折返し周波数成分が生じないようにドットクロックを再生する際に、前述した折返し周波数成分の検出に1フレームを複数の領域に分割して行うように構成したものである。

【0010】また本発明は、入力映像信号に静止画を使用し、ドットクロックでA/D変換したサンプル値をフレーム単位で累積加算し、数フレームの加算結果をもって標準偏差を算出し、偏差値が最小になるように位相を調整するものである。

【0011】また本発明は、再生しようとするドットクロックで入力信号をサンプリングし、隣り合うサンプル間でのサンプル値の差を用いて、前記ドットクロックの位相を調整するように構成したものである。

【0012】これにより、映像信号源のドットクロック再生を自動で得ることが可能となる。

【0013】

【発明の実施の形態】本発明の請求項1に記載の発明は、入力される各種映像に応じてドットクロックを再生するドットクロック再生装置において、映像信号のドットクロックと異なる周波数でサンプリングした際に生じる折返し周波数成分を検出してこの折返し周波数成分が生じないようにドットクロックを再生することを特徴とするものであり、サンプリングした際に生じる折返し周波数成分を検出し、この検出信号を演算しドットクロック周波数を修正調整して折返し周波数成分が生じなくなるまで逐次繰り返すことでドットクロック周波数を再生するという作用を有する。

【0014】請求項2に記載の発明は、映像信号源から出力される調整用信号を入力し、この入力映像信号をデジタル信号に変換するアナログデジタル変換器と、前記調整用信号のドットクロックと異なるサンプリングクロックでアナログデジタル変換した際に生じる折返し周波数成分を検出する周波数解析手段と、前記周波数解析手段からの出力結果によりPLL回路の分周比を設定する分周比設定回路と、水平同期信号に同期したクロックを発振する前記PLL回路を備えたことを特徴とするものであり、映像信号源より調整用信号を出力し、この信号を信号源のドットクロック周波数と一致していないクロックでA/D変換（サンプリング）した際に生じる折返し周波数成分を検出し、この検出信号を演算しドットクロック周波数を修正調整して折返し周波数成分が生じなくなるまで逐次繰り返すことでドットクロック周波数を再生するという作用を有する。

【0015】請求項3に記載の発明は、入力される各種映像に応じてドットクロックを再生するドットクロック再生装置において、アナログデジタル変換した映像信号

6

から出力される前記調整用信号を微分した結果から、再生するドットクロックの位相を自動調整することを特徴とするものであり、サンプリングした映像信号間のドット間（サンプル間）の信号レベル差を検出し、この検出信号によりサンプリングクロックの位相調整を行い、この検出信号が最大となるまで位相調整を逐次繰り返すことでサンプリングクロックの位相を補正するという作用を有する。

【0016】請求項4に記載の発明は、映像信号源から出力される調整用信号を入力し、この入力映像信号をデジタル信号に変換するA/D変換器と、サンプル間の信号レベル差を検出する検出手段と、前記検出手段により得られたドット間の信号レベル差が最大となるようにPLL回路の出力クロックの位相を調整する位相調整手段と、水平同期信号に同期したクロックを発振する前記PLL回路を備えたことを特徴とするものであり、ドット間の信号レベル差が最大となっている調整用信号について、サンプリングした映像信号間のドット間（サンプル間）の信号レベル差を検出し、この検出信号によりサンプリングクロックの位相調整を行い、この検出信号が最大となるまで位相調整を逐次繰り返すことでサンプリングクロックの位相を補正するという作用を有する。

【0017】請求項6記載の発明は、請求項1記載の発明において、折返し周波数成分の検出を1フレームを複数の領域に分割して行うことを特徴とするものであり、折返し周波数成分の検出を1フレームを複数の領域に分割して行うことで、高いドットクロックにも対応できるという作用を有する。

【0018】請求項7記載の発明は、請求項6記載の発明において、調整用信号を出力する映像信号源を用いて、サンプリング後の信号について微分した結果を用いて、再生するドットクロックの位相を自動調整する際において、画像として表示される信号のbit数より少ないbit数を微分することを特徴とするものであり、実際に画像に表示される信号のbit数より微分回路へのbit数を意図的に少なくすることで、映像信号に含まれるアナログ段でのノイズの影響を受けずにドットクロック周波数を再生するという作用を有する。

【0019】請求項8記載の発明は、請求項6記載の発明において、調整用信号を出力する映像信号源を用いる代わりに、ドットクロックの位相を変化させ、位相差と微分した結果をもとに最適なクロック位相を求めることを特徴とするものであり、特定信号を入力せずにサンプリングクロックの位相を補正するという作用を有する。

【0020】請求項9記載の発明は、入力映像信号を一定周波数のクロックでサンプリングし、1フレームのサンプリングデータを累積加算し、数フレームの加算値の標準偏差を求め、偏差値が小さくなるようにドットクロックと前記入力映像信号の位相を調整することを特徴とするものであり、入力映像信号と再生したドットクロック

7

クの位相がずれていた場合に生じるサンプリング値の変化を数フレームにわたって監視し、数フレームにおけるサンプリング値の累積加算の標準偏差を最小にするようにドットクロックの位相を自動で調整するという作用を有する。

【0021】請求項11に記載の発明は、再生しようとするドットクロックで入力信号をサンプリングし、隣り合うサンプル間でのサンプル値の差の絶対値を累算した結果をもちいて、前記ドットクロックの位相を自動調整することを特徴とするものであり、ドットクロックの位相を調整しサンプル点に変化すると隣り合うサンプル間でのサンプル値の差が増減することをを用いて前記位相と前記差の関係が所定の条件を満たすように自動調整を行うという作用を有する。

【0022】請求項12に記載の発明は、ドットクロックをサンプリングクロックとして入力信号をデジタル信号に変換するA/D変換器と、前記A/D変換後のデジタル信号を1サンプル周期遅らせるラッチ回路と、前記ラッチ回路の出力と前記A/D変換器の出力の差を出力する差分回路と、前記差分回路の出力の絶対値を出力する絶対値回路と、前記絶対値回路の出力を逐次累算していく累算回路と、前記累算回路の出力する累算結果を受け取り前記ドットクロックの位相を制御する制御回路とを備えたことを特徴とするものであり、ドットクロックの位相を調整し前記A/D変換器によるサンプル点に変化すれば前記累算回路の出力が変化することで、ドットクロックと映像信号との位相の状態を検出することができ、前記累算回路の出力が所定の条件を満たすように前記制御回路によりドットクロックの位相調整を自動的に行うという作用を有する。

【0023】請求項13に記載の発明は、再生しようとするドットクロックで入力信号をサンプリングし、ライン間でのサンプル値の差の絶対値を累算した結果をもちいて、前記ドットクロックの位相を自動調整することを特徴とするものであり、ドットクロックの位相を調整しサンプル点に変化すると、入力信号の画像に垂直相関があれば、ライン間でのサンプル値の差が増減することをを用いて前記位相と前記差の関係が所定の条件を満たすように自動調整を行うという作用を有する。

【0024】請求項14に記載の発明は、ドットクロックをサンプリングクロックとして入力信号をデジタル信号に変換するA/D変換器と、前記A/D変換後のデジタル信号を1ライン期間遅らせるラインメモリと、前記ラインメモリの出力と前記A/D変換器の出力の差を出力する差分回路と、前記差分回路の出力の絶対値を出力する絶対値回路と、前記絶対値回路の出力を逐次累算していく累算回路と、前記累算回路の出力する累算結果を受け取り前記ドットクロックの位相を制御する制御回路とを備えたことを特徴とするものであり、入力信号の画像に垂直相関があれば、ドットクロックの位相を調整し

(5)

8

前記A/D変換器によるサンプル点に変化するので前記ラインメモリの出力が変化することで、ドットクロックと映像信号との位相の状態を検出することができ、前記累算回路の出力が所定の条件を満たすように前記制御回路によりドットクロックの位相調整を自動的に行うという作用を有する。

【0025】請求項15に記載の発明は、再生しようとするドットクロックで入力信号をサンプリングし、フレーム間でのサンプル値の差の絶対値を累算した結果をもちいて、前記ドットクロックの位相を自動調整することを特徴とするものであり、ドットクロックの位相を調整しサンプル点に変化するとフレーム間でのサンプル値の差が増減することをを用いて前記位相と前記差の関係が所定の条件を満たすように自動調整を行うという作用を有する。

【0026】請求項16に記載の発明は、ドットクロックをサンプリングクロックとして入力信号をデジタル信号に変換するA/D変換器と、前記A/D変換後のデジタル信号を1フレーム期間遅らせるフレームメモリと、前記フレームメモリの出力と前記A/D変換器の出力の差を出力する差分回路と、前記差分回路の出力の絶対値を出力する絶対値回路と、前記絶対値回路の出力を逐次累算していく累算回路と、前記累算回路の出力する累算結果を受け取り前記ドットクロックの位相を制御する制御回路とを備えたことを特徴とするものであり、ドットクロックの位相を調整し前記A/D変換器によるサンプル点に変化すれば前記累算回路の出力が変化することで、ドットクロックと映像信号との位相の状態を検出することができ、前記累算回路の出力が所定の条件を満たすように前記制御回路によりドットクロックの位相調整を自動的に行うという作用を有する。

【0027】請求項17に記載の発明は、請求項11に記載の発明において、絶対値が設定値より小さいときは累算しないようにしたことを特徴としたものであり、絶対値が設定値より大きいときは画像のエッジ部分であるとして適応的にエッジ部分のみ累算するようにして自動調整の精度をあげることができるという作用を有する。

【0028】請求項18に記載の発明は、請求項12に記載の発明において、設定値を記憶している記憶回路と、絶対値回路の出力と前記記憶回路が記憶している設定値とを比較し絶対値が設定値より大きいときに累算回路へイネーブル信号を出力する比較回路を設けたものであり、絶対値回路の出力が設定値より小さいときは画像のエッジ部分であるとして適応的にエッジ部分のみ累算するようにして自動調整の精度をあげることができるという作用を有する。

【0029】請求項19に記載の発明は、請求項13に記載された発明において、絶対値が設定値より大きいときは累算しないようにしたことを特徴としたものであり、絶対値が設定値より小さいときは画像に垂直相関が

9

ないものと判断し累算しないようにすることで画像の垂直相関のある部分だけ累算することができ、したがって、入力する画像にわずかも垂直相関のある部分があれば自動調整が可能となるという作用を有する。

【0030】請求項20に記載の発明は、請求項14に記載された発明において、設定値を記憶している記憶回路と、絶対値回路の出力と前記記憶回路が記憶している設定値とを比較し絶対値が設定値より小さいときに累算回路へイネーブル信号を出力する比較回路を設けたものであり、絶対値が設定値より小さいときは画像に垂直相関がないものと判断し累算しないようにすることで画像の垂直相関のある部分だけ累算することができ、したがって、入力する画像にわずかも垂直相関のある部分があれば自動調整が可能となるという作用を有する。

【0031】請求項21に記載の発明は、請求項17に記載された発明において、累算結果の1画素あたりの平均を求めてドットクロックの位相を自動調整することを特徴としたものであり、累算した画素の数が増減しても精度が落ちないようにすることができるとする作用を有する。

【0032】請求項22に記載の発明は、請求項18記載の発明において、比較回路が出力するイネーブル信号のイネーブル期間ドットクロックのカウントを行うカウンタと、累算回路の出力を前記カウンタの出力で割り算し、制御回路に出力する割り算回路とを設けたものであり、累算した画素の数が増減しても精度が落ちないようにすることができるとする作用を有する。

【0033】請求項23に記載の発明は、請求項19記載の発明において、累算した画素数をカウントしカウント値と累算した結果とを用いてドットクロックの位相を自動調整することを特徴としたものであり、垂直相関の検出結果がドットクロックの位相が変わったことによるものか本来の画像に垂直相関があるものなのかを、累算した画素数をカウントした結果より判断することで自動調整の精度をあげることを可能にする作用を有する。

【0034】請求項24に記載の発明は、請求項20記載の発明において、比較回路が出力するイネーブル信号のイネーブル期間ドットクロックのカウントを行い制御回路に出力するカウンタを設けたものであり、垂直相関の検出結果がドットクロックの位相が変わったことによるものか本来の画像に垂直相関があるものなのかを、カウンタの出力より判断することで自動調整の精度をあげることを可能にする作用を有する。

【0035】以下、本発明の実施の形態について、図面を用いて説明する。

(実施の形態1) 図1は本発明の第一の実施の形態におけるドットクロック再生装置のブロック図を示し、図1において1は、コンピュータなどの映像信号源であり図2のような調整用映像信号を出力する。2は入力された映像信号を次に説明するPLL回路3により出力された

(6)

10

ドットクロックによりサンプリングしてデジタル信号に変換するA/D変換器である。3は水平同期信号に同期したサンプリングクロックを作成するPLL回路であり、4は入力映像信号源のドットクロックに対しPLL回路3より出力するクロックでサンプリングした際に生じる折返し周波数成分を解析する周波数解析手段である。

【0036】ここでは、図2の調整用出力信号に対しての周波数解析手段4の一例として図3に示すような2つの遅延器41、42と減算器43、絶対値回路44、と第1の積算器45によって構成する。6は、サンプリングクロックの周波数をPLLに対して設定する分周比設定回路であり、8は、周波数解析手段より得られる折返し周波数成分の情報を基に分周比設定回路6に対して、サンプリングクロックの周波数可変量を演算し出力する演算回路である。

【0037】また、図4は積算器45の内部構成図であり、図4において51は積算器45への入力信号をドットクロックに同期して積算していく第2の積算器であり、52は遅延器、53は遅延器51の出力を積算していく第3の積算器であり、54はドットクロックをn分の1の周波数に分周する分周器である。

【0038】以上のように構成された本実施の形態のドットクロック再生回路の動作について説明する。映像信号源1より出力される図2の調整用出力信号は、1ドット置きにVHとVLの信号を繰り返している信号である。

【0039】ここで、図3に示した周波数解析手段4の一例の回路では、A/D変換器2でサンプリングした結果について、1サンプル置きのサンプリングした値の差を求め、2サンプル間での変動量について絶対値を取り積算していく。この結果、サンプリング周波数と映像信号源1のドットクロック周波数が等しい場合には、2サンプル間での変動量は図5のように0となり周波数解析手段4の出力は0となる(ノイズなどの要因より0とならない場合もある)。

【0040】また、周波数異なる場合、1サンプル置きの2サンプル間の変動量は図5のように存在することになり、2つのクロック周波数の折返し成分がこの変動量として現れ、積算して行くと周波数解析手段4の出力は0に対して非常に大きな物となる。この周波数解析手段4の出力が、映像信号源1のドットクロック周波数とサンプリング周波数の差が小さいほど、少ないことは言うまでもない。このようにして、映像信号源1のドットクロック周波数と、A/D変換器2でのサンプリング周波数が一致しているかについて検出することが可能となり、この検出結果を用いて、演算回路8を通して、分周比設定回路6によりサンプリング周波数を調整することが可能となる。

【0041】上記の構成で積算器45において、例えば

(7)

11

A/D変換器2で8bitで量子化した場合、1フレームの有効画素数が1280×1024ドットの信号の場合は9×11×10=30bit分の積算を1ドットクロックで行わなければならない、積算器に高速動作が要求される。

【0042】しかし、図4の如く積算器45の内部をn分割することで、高速動作が要求される積算器51のbit数を少なくし、ドットクロックの1/nで動作する積算器53のbit数を多くすることで、全体として高速動作を行う積算器45を構成することが可能となり、高いドットクロックにも対応出来るという作用を有する。

【0043】なお、以上の説明でサンプルホールド手段として、A/D変換器2で構成した例で説明したが、その他のサンプルホールド手段についても実施可能である。

【0044】つぎに、本発明の別の一実施の形態について、図6、図7を用いて説明する。なお、前述した実施の形態と同じ構成については同じ符号を用い、説明を省略する。

【0045】(実施の形態2) 図6は第2の実施の形態のドットクロック再生装置であり、5は1ドットサンプル間のレベル差を検出する信号レベル検出手段であり、ここでは図2の調整用出力信号に対しての信号レベル差検出回路5の一例として図7に示すような遅延器71、と減算器72、絶対値回路73、と積算器74によって構成する。7はPLL回路3の出力の位相を調整する位相調整手段であり、前記信号レベル差検出回路5の出力により位相調整量が決定される。

【0046】以上のように構成された、本実施の形態のドットクロック再生装置について動作を説明する。

【0047】ここで、図7に示した信号レベル差検出手段5の一例の回路では、A/D変換器2でサンプリングした結果について、隣接サンプル間のサンプリングした値の差を求め、隣接サンプル値の変動量について絶対値を取り積算していく。この結果、サンプリングと映像信号源1の出力位相が合っている場合、隣接サンプル間での変動量は図8(a)のようにVH-VLとなり、図2の調整用信号における振幅と等しく最大となる。

【0048】また、位相があっていない場合、隣接サンプル値の変動量は図8(b)のように調整用映像信号の振幅に比べて小さい。よって、この変動量を積算した結果が最大となるように、位相調整手段7では映像信号源1の出力信号と、PLL回路3で出力するサンプリングクロックの位相を調整することが可能となる。

【0049】なお、上記内容は、ドットクロック周波数が合っている状態での動作を説明したが、ドットクロック周波数の調整を前記実施の形態1で記載されたように図9のように構成してもよい事は言うまでもない。

【0050】さらに詳しく説明すると、A/D変換器2

12

で入力信号をNbitに量子化し、表示画像を処理するための信号処理へはそのままNbitを出力し、信号レベル検出手段5へはNbitより少ないMbitを出力する。bit数を少なくするのはアナログ段でのノイズの影響を受けなくするためである。つまり、A/D変換した信号にアナログ段でのノイズが含まれていると、後段の信号レベル検出手段5の内部の積算器74によって、そのノイズ成分が1フレームのわたって蓄積されてしまう。

10 【0051】そのため、信号レベル検出手段5への入力にはノイズ成分を含むデジタル化された信号の下位bitは捨ててしまう。そうすることでノイズの影響を受けないようにすることができる。ドット間の信号レベル差が最大となっている調整用信号について、サンプリングした映像信号間のドット間(サンプル間)の信号レベル差を検出し、この検出信号によりサンプリングクロックの位相調整を行い、この検出信号が最大となるまで位相調整を逐次繰り返すことでサンプリングクロックの位相を補正するという作用を有する。

20 【0052】(実施の形態3) 図10は第3の実施の形態のドットクロック再生装置であり、9は信号レベル検出手段5の出力を処理し、位相調整手段7を制御するマイコンである。マイコンではまず位相調整手段を制御し位相0度のクロックを出力させる。このときの信号レベル検出手段5の出力を検出する。次に位相m度のクロックを出力し、信号レベル検出手段5の出力を検出する。順次位相をm度ずつ増やして、各信号レベル検出手段5の出力を検出し、図11の如くヒストグラムを求める。

30 【0053】位相を多少変化させても信号レベル検出手段5の出力があまり変化しない領域がクロックのジッタの影響を受けない位相、つまり位相調整で求めるべき最適点である。ドットクロックの周波数はコンピュータなどの接続する機器の種類や設定に変化がなければ常に一定であるため、一度調整すれば接続機器の種類や設定を変更しない限り、再度調整する必要がないが、クロック位相は接続する機器やドットクロック再生回路の温度特性、さらに厳密にいうと接続ケーブルの状態などによって刻々と変化するため、調整がしやすいことが望まれる。本発明の実施の形態では調整用信号を出力する映像信号源を用いる代わりに、ドットクロックの位相を変化させ、位相差と微分した結果をもとに最適なクロック位相を求めることで、特定信号を入力せずにサンプリングクロックの位相を補正するという作用を有する。

40 【0054】(実施の形態4) 図12は本発明の実施の形態におけるドットクロック再生装置のブロック図を示し、図12において401は、コンピュータなどの入力映像信号をデジタル信号に変換するA/D変換器である。402は入力映像信号に同期したサンプリングクロックを生成するPLL回路で、403はA/D変換器1のサンプリング出力を累積加算する加算器であり、40

50

(8)

13

4は加算器403の出力を垂直同期信号に同期したタイミングで取り出すラッチ手段で、405はラッチ手段404の出力を入力としラッチ手段405の出力を元にフレーム単位でのサンプリング値の累積加算の標準偏差を算出する演算手段で、406はPLL回路402の出力であるドットクロックを演算手段405の値に応じて位相調整する位相調整手段である。

【0055】以上のように構成された本実施の形態のドットクロックの自動位相調整動作について説明する。本発明に必要な入力映像信号はフレーム方向に一定の信号である静止画である必要がある。入力映像信号の水平同期信号を元にPLL回路402によって入力映像信号に同期したドットクロックが生成される。入力映像信号はPLL回路402の出力であるドットクロックによってA/D変換器401でデジタル信号に変換される。

【0056】ただし、この時のドットクロックは映像信号のサンプル数と一致した周波数のクロックであるものとする。A/D変換器の出力は加算器403へと入力され、加算器403は入力されたサンプリング値の累積加算をし、垂直同期信号によってリセットされる。加算器403の出力をラッチ手段404で垂直同期信号によってラッチし1フレーム期間のサンプリング値の総和を出力する。入力映像信号とドットクロックの位相がずれている場合、特に映像信号のトランジェント部分がA/D変換器401でサンプリングされるようなドットクロックの位相の場合、ドットクロックの位相のわずかな違いでサンプル値が変化し、そのためサンプル値の総和がフレームによって変化することになる。

【0057】図13と図14では映像信号とドットクロックの位相関係を示している。ドットクロックの立ち上がりエッジでサンプリング使用とした場合、図13に示す位相関係にあると立ち上がりエッジの値がノイズ等によるわずかな外乱によってサンプリング値が変化するためフレームでのサンプル値の総和に変化が見られる。

【0058】図14に示す位相関係にある場合、立ち上がりエッジでサンプリングした結果は安定している。演算手段405ではラッチ手段404の出力値数個からそれらの標準偏差を求め、その値を位相調整手段6へ出力する。位相調整手段406では演算手段5の出力値に応じてPLL回路2から出力されたドットクロックの位相を変化させる。そのドットクロックの位相によってA/D変換器1でサンプリングされた値を再び加算器3に入力する。

【0059】以上のように上記の動作を繰り返し、演算手段5の出力が最小になる、つまりフレーム毎のサンプリング値の総和が一定になり、映像信号とドットクロックの位相が合った状態(図14)となる。

【0060】ドットクロックの位相調整精度は演算手段405で演算する値の数、つまり演算に用いるフレーム数を多くすることで簡単に精度を上げることが可能であ

14

る。

【0061】なお本実施の形態では位相調整手段をPLL回路402とA/D変換器401の間に設けたが、位相調整の機能をPLL回路402の内部に持たせて、本実施の形態と同等の動作を実現させることが可能なことはいうまでもない。

【0062】また本実施の形態ではA/D変換器401、加算器403、ラッチ手段404を赤色、緑色、青色の3色の内の1つとして説明したが、各色のラッチ手段404の出力を演算手段4005に入力し、3色の標準偏差をもって位相調整手段406を制御しても本実施の形態と同等の動作を実現させ得ることが可能なことはいうまでもない。

【0063】(実施の形態5) 以下に本発明の一実施の形態について図15、図16を用いて説明する。

【0064】図15において501は、入力信号として、例えばコンピューターの出力する映像信号とした時、その同期信号に同期したドットクロックを再生し、またそのドットクロックの位相も制御可能なPLL回路である。502は前記ドットクロックをサンプリングクロックとして前記映像信号をサンプリングし、デジタル信号に変換するA/D変換器である。503はA/D変換器501が出力するデジタル信号を前記サンプリングクロックの1周期遅らせるラッチ回路、504は隣り合うサンプル間でのサンプル値の差を求めるために前記ラッチ回路の入力と出力との2つの信号を受け取り差を出力する差分回路、5005は差分回路504の出力の絶対値を出力する絶対値回路、5006は絶対値回路5005の出力を逐次累算していく累算回路である。

【0065】507は絶対値回路5005の出力を1垂直周期でラッチするラッチ回路である。累算回路5006はラッチ回路507がラッチした後クリアされるようにクリアパルスが入力されており、結果として後述する制御回路508には1垂直周期ごとの累算結果が入力されるようになっている。508はラッチ回路7の出力を受け取り前記ドットクロックの位相を制御する位相制御信号を発生する制御回路である。

【0066】図16は前記映像信号の例と前記ドットクロックによるA/D変換器がサンプリングする様子を示したものである。

【0067】映像信号は図16で示すようにドットクロック周期で波形高が変化しているが、ドットクロックの位相によってきちんとサンプリングできたりできなかったりすることがわかる。

【0068】映像信号の1垂直期間にわずかでも変化点があれば差分回路504によりその変化量が、そして絶対値回路505を通して累算回路506により累算されるのでドットクロックの位相状態を判断することが可能となる。

【0069】制御回路508は位相制御信号の制御内容

(9)

15

と累算回路508からの結果を適当なアルゴリズムを用いることで位相の自動調整が可能となる。アルゴリズムとして、例えば累算回路506の値が最も小さくなるような位相を調べ基準位相とする。

【0070】前記基準位相ではドットクロックの立ち上がりで映像信号のエッジが完全に一致している時であり、この位相状態でサンプリングされた映像信号は画面に表示したばあい最もめりはりのない画像となってしまう。したがって、前記基準位相より所定の位相差になるように例えば30度、45度、60度等になるように位相をずらせば映像信号をきちんとサンプリングできるようにすることができる。

【0071】（実施の形態6）以下に本発明の一実施の形態について図17、図18を用いて説明する。

【0072】図17において601は、入力信号として、例えばコンピューターの出力する映像信号とした時、その同期信号に同期したドットクロックを再生し、またそのドットクロックの位相も制御可能なPLL回路である。

【0073】602は前記ドットクロックをサンプリングクロックとして前記映像信号をサンプリングし、デジタル信号に変換するA/D変換器である。

【0074】611はA/D変換器601が出力するデジタル信号を1ライン期間遅らせるラインメモリ、604は前記ラインメモリの入力と出力との2つの信号を受け取り差を出力する差分回路、605は差分回路604の出力の絶対値を出力する絶対値回路、606は絶対値回路605の出力を逐次累算していく累算回路である。

【0075】607は絶対値回路605の出力を1フレーム周期でラッチするラッチ回路である。累算回路606はラッチ回路607がラッチした後クリアされるようにクリアパルスが入力されており、結果として後述する制御回路608には1フレームごとの累算結果が入力されるようになっている。

【0076】608はラッチ回路607の出力を受け取り前記ドットクロックの位相を制御する位相制御信号を発生する制御回路である。

【0077】以上のように構成された本実施の形態2の動作を説明する。図18は垂直相関のある映像信号をライン周期で重ね合わせた時の拡大図である。

【0078】映像信号はアナログ信号であり、ドットクロックのジッターや伝送路などからのノイズなどにより図のように同一垂直ライン上の画素に相当する波形が常に細かく変動している。サンプリング点が図の矢印640上にあるときは垂直相関のある画像であっても隣り合う同一垂直ライン上での画素のサンプリング値は変化してしまう。

【0079】サンプリング値の変化は各画素ごとに差分回路604によって検出され、絶対値回路605を通り累算回路606によって全フレームでの変化量の和とな

16

って検出される。

【0080】ドットクロックの位相を変化させサンプリング点を図の矢印641上に持っていったときはサンプリング値は一定となり、差分回路604の出力も0に近い値が出力される。そのため累算回路606によって得られる値は他の位相の時に比べて小さい値となる。

【0081】累算回路606と制御回路608との間にあるラッチ回路607は制御回路608が累算回路606の出力した値を受け取りやすくするためにいれてあるもので、構成上は必ずしも必要なものではない。

【0082】制御回路608は、累算回路606の出力する値が小さくなるように位相を制御すれば自動的に位相の調整が可能となる。そのためのアルゴリズムはどのようなものでもよいというまでもない。

【0083】また、制御回路608は累算回路606の出力する値が任意の条件を満たすような制御を行うことで、より精度の高い自動調整をも可能にすることができるのはいうまでもない。

【0084】以上のように本実施の形態では画像に垂直相関がある場合に位相の自動調整が可能になる。

【0085】（実施の形態7）以下に本発明の一実施の形態について図19、図20を用いて説明する。

【0086】図19において701は、入力信号として、例えばコンピューターの出力する映像信号とした時、その同期信号に同期したドットクロックを再生し、またそのドットクロックの位相も制御可能なPLL回路である。702は前記ドットクロックをサンプリングクロックとして前記映像信号をサンプリングし、デジタル信号に変換するA/D変換器である。703はA/D変換器1が出力するデジタル信号を1フレーム期間遅らせるフレームメモリ、704は前記フレームメモリの入力と出力との2つの信号を受け取り差を出力する差分回路、705は差分回路704の出力の絶対値を出力する絶対値回路、706は絶対値回路705の出力を逐次累算していく累算回路である。707は絶対値回路5の出力を1フレーム周期でラッチするラッチ回路である。

【0087】累算回路706はラッチ回路707がラッチした後クリアされるようにクリアパルスが入力されており、結果として後述する制御回路708には1フレームごとの累算結果が入力されるようになっている。

【0088】708はラッチ回路707の出力を受け取り前記ドットクロックの位相を制御する位相制御信号を発生する制御回路である。

【0089】以上のように構成された本実施の形態1の動作を図20を用いて説明する。図20は静止面の映像信号をフレーム周期で重ね合わせた時の拡大図である。

【0090】映像信号はアナログ信号であり、ドットクロックのジッターや伝送路などからのノイズなどにより図のように静止画上で同一画素の点に相当する波形が常に細かく変動している。サンプリング点が図の矢印76

(10)

17

0上にあるときは静止画であっても異なるフレームで同一の画素のサンプリング値は変化してしまう。

【0091】サンプリング値の変化は各画素ごとに差分回路704によって検出され、絶対値回路705を通り累算回路706によって全フレームでの変化量の和となって検出される。

【0092】ドットクロックの位相を変化させサンプリング点を図の矢印761上に持っていったときはサンプリング値は一定となり、差分回路704の出力も0に近い値が出力される。そのため累算回路706によって得られる値は他の位相の時に比べて小さい値となる。

【0093】累算回路706と制御回路708との間にあるラッチ回路707は制御回路708が累算回路706の出力した値を受け取りやすくするためにいれてあるもので、構成上は必ずしも必要なものではない。

【0094】制御回路708は、累算回路706の出力する値が小さくなるように位相を制御すれば自動的に位相の調整が可能となる。そのためのアルゴリズムはどのようなものでもよいというまでもない。

【0095】また、制御回路708は累算回路706の出力する値が任意の条件を満たすような制御を行うことで、より精度の高い自動調整をも可能にすることができるのはいうまでもない。

【0096】（実施の形態8）以下に本発明の一実施の形態について図21を用いて説明する。

【0097】図21において801は、入力信号として、例えばコンピューターの出力する映像信号とした時、その同期信号に同期したドットクロックを再生し、またそのドットクロックの位相も制御可能なPLL回路である。

【0098】802は前記ドットクロックをサンプリングクロックとして前記映像信号をサンプリングし、デジタル信号に変換するA/D変換器である。803はA/D変換器801が出力するデジタル信号を前記サンプリングクロックの1周期遅らせるラッチ回路、804は隣り合うサンプル間でのサンプル値の差を求めるために前記ラッチ回路の入力と出力との2つの信号を受け取り差を出力する差分回路、805は差分回路804の出力の絶対値を出力する絶対値回路、809はあらかじめ設定した値を記憶しておく記憶回路、812は絶対値回路805の出力と記憶回路809の出力とを比較し絶対値回路805の出力の方が大きいとき累算回路806の累算動作を行うようにイネーブル信号を出力する比較回路、806は絶対値回路805の出力を前記イネーブル信号にしたがって逐次累算していく累算回路である。

【0099】807は絶対値回路805の出力を1フレーム周期でラッチするラッチ回路である。累算回路806はラッチ回路807がラッチした後クリアされるようにクリアパルスが入力されており、結果として後述する制御回路808には1フレームごとの累算結果が入力さ

18

れるようになっている。

【0100】808はラッチ回路807の出力を受け取り前記ドットクロックの位相を制御する位相制御信号を発生する制御回路である。

【0101】以上のように構成された本実施の形態8の動作を説明する。本実施の形態は前記した実施の形態5に比較回路812および記憶回路809を付加し累算回路806の累算動作のON/OFFを可能にしたものである。

10 【0102】従って、図15と同様の動作を行うブロックについては、詳細な説明は省略する。

【0103】絶対値回路805の出力する絶対値が記憶回路809に設定された設定値より大きなときは画像のエッジ部分であるとしてエッジ部分のみ累算するようにすることで自動調整の精度をあげることができる。

【0104】（実施の形態9）以下に本発明の一実施の形態について図22を用いて説明する。

20 【0105】図22において901は、入力信号として、例えばコンピューターの出力する映像信号とした時、その同期信号に同期したドットクロックを再生し、またそのドットクロックの位相も制御可能なPLL回路である。

【0106】902は前記ドットクロックをサンプリングクロックとして前記映像信号をサンプリングし、デジタル信号に変換するA/D変換器である。

30 【0107】911はA/D変換器902が出力するデジタル信号を1ライン期間遅らせるラインメモリ、904は前記ラインメモリの入力と出力との2つの信号を受け取り差を出力する差分回路、905は前記差分回路904の出力の絶対値を出力する絶対値回路、909はあらかじめ設定した値を記憶しておく記憶回路、912は絶対値回路905の出力と記憶回路909の出力とを比較し絶対値回路905の出力の方が小さいとき累算回路906の累算動作を行うようにイネーブル信号を出力する比較回路、906は絶対値回路905の出力を前記イネーブル信号にしたがって逐次累算していく累算回路である。

【0108】907は絶対値回路905の出力を1フレーム周期でラッチするラッチ回路である。

40 【0109】累算回路906はラッチ回路907がラッチした後クリアされるようにクリアパルスが入力されており、結果として後述する制御回路908には1フレームごとの累算結果が入力されるようになっている。

【0110】908はラッチ回路907の出力を受け取り前記ドットクロックの位相を制御する位相制御信号を発生する制御回路である。

50 【0111】以上のように構成された本実施の形態9の動作を説明する。本実施の形態は前記した実施の形態6に比較回路912および記憶回路909を付加し累算回路906の累算動作のスタート/ストップを可能にした

(11)

19

ものである。

【0112】従って、図17と同様の動作を行うブロックについては、詳細な説明は省略する。

【0113】絶対値回路905の出力する絶対値が記憶回路909に設定された設定値より小さなときは垂直相関のある画素として累算するようにすることで画像に垂直相関のある画素が存在すれば自動調整が可能となり、実施の形態6にあった入力信号における画像が著しく制限されるという問題点を解決することができる。

【0114】（実施の形態10）以下に本発明の一実施の形態について図23を用いて説明する。

【0115】図23において101は、入力信号として、例えばコンピューターの出力する映像信号とした時、その同期信号に同期したドットクロックを再生し、またそのドットクロックの位相も制御可能なPLL回路である。

【0116】102は前記ドットクロックをサンプリングクロックとして前記映像信号をサンプリングし、デジタル信号に変換するA/D変換器である。

【0117】103はA/D変換器102が出力するデジタル信号を前記サンプリングクロックの1周期遅らせるラッチ回路、104は隣り合うサンプル間でのサンプル値の差を求めるために前記ラッチ回路の入力と出力との2つの信号を受け取り差を出力する差分回路、105は差分回路104の出力の絶対値を出力する絶対値回路、109はあらかじめ設定した値を記憶しておく記憶回路、112は絶対値回路105の出力と記憶回路109の出力とを比較し絶対値回路105の出力の方が大きいとき累算回路106の累算動作を行うようにイネーブル信号を出力する比較回路、106は絶対値回路105の出力を前記イネーブル信号にしたがって逐次累算していく累算回路である。7-2は絶対値回路105の出力およびカウンタ113の出力を1フレーム周期でラッチするラッチ回路である。

【0118】114は累算回路106の出力値をカウンタ113の出力値で割った値を制御回路108に出力する割り算回路である。

【0119】以上のように構成された本実施の形態10の動作を説明する。本実施の形態は前記した実施の形態9にカウンタ113およびカウンタ113の出力を1フレーム周期でラッチするラッチ回路7-2を付加し、累算回路106の出力がラッチ回路1-1を通った後割り算回路114によりラッチ回路7-2の出力の値で割られてから制御回路に入るようになったものである。従って、図21と同様の動作を行うブロックについては、詳細な説明は省略する。

【0120】絶対値回路105の出力する絶対値が記憶回路109に設定された設定値より大きなときは画像のエッジ部分であるとしてエッジ部分のみ累算するようにし、さらに、累算された画素数もカウンタ113によ

20

りカウントすることで割り算回路114により1画素あたりの平均値が計算される。そのためノイズなどによりエッジ部分と判断された画素数が変化してもその影響の少ない値が制御回路108に入力され自動調整の精度が向上する。

【0121】（実施の形態11）以下に本発明の一実施の形態について図24、図25を用いて説明する。

【0122】図24において201は、入力信号として、例えばコンピューターの出力する映像信号とした時、その同期信号に同期したドットクロックを再生し、またそのドットクロックの位相も制御可能なPLL回路である。

【0123】202は前記ドットクロックをサンプリングクロックとして前記映像信号をサンプリングし、デジタル信号に変換するA/D変換器である。1100011はA/D変換器110001が出力するデジタル信号を1ライン期間遅らせるラインメモリ、204は前記ラインメモリの入力と出力との2つの信号を受け取り差を出力する差分回路、205は前記差分回路204の出力の絶対値を出力する絶対値回路、209はあらかじめ設定した値を記憶しておく記憶回路、212は絶対値回路205の出力と記憶回路110009の出力とを比較し絶対値回路110005の出力の方が小さいとき累算回路11006の累算動作を行うようにイネーブル信号を出力する比較回路、11006は絶対値回路11005の出力を前記イネーブル信号にしたがって逐次累算していく累算回路である。

【0124】213は前記イネーブル信号にしたがって前記ドットクロックをカウントしカウント結果を制御回路208に出力するカウンタ、207は絶対値回路205の出力を1フレーム周期でラッチするラッチ回路である。

【0125】累算回路206はラッチ回路207がラッチした後クリアされるようにクリアパルスが入力されており、結果として後述する制御回路208には1フレームごとの累算結果が入力されるようになっている。

【0126】208はラッチ回路207の出力を受け取り前記ドットクロックの位相を制御する位相制御信号を発生する制御回路である。

【0127】以上のように構成された本実施の形態11の動作を説明する。本実施の形態は前記した実施の形態10にカウンタ213を追加し比較回路212の出力するイネーブル信号を用いてドットクロックのカウント動作をスタート/ストップするようにしたものである。

【0128】従って、図22と同様の動作を行うブロックについては、詳細な説明は省略する。

【0129】累算回路206が累算した画素数をカウンタ213がカウントすることによって制御回路208は自動調整が可能となる。

【0130】本来、静止画であれば垂直相関のある画素

(12)

21

数は変化しない。したがって、ドットクロックの位相を変化させて、カウンタ213のカウント値が変化するなら位相が不適当な状態になっていると考えてよい。図25のフローチャートは上記した理由によってカウンタ213のカウント値の変化によって自動調整をおこなう一例である。もちろんフローチャートの終了条件や位相を変化させるアルゴリズムが変わっても同様な動作をするものであればいいのはいうまでもない。

【0131】以上説明したように、本実施の形態では実施の形態10にあった垂直相関の検出の精度がドットクロックの位相状態に影響してしまうという問題点を解決することができる。

【0132】

【発明の効果】以上のように本発明によれば、映像信号源より調整用信号を出力し、この調整用信号に対し折返し周波数成分検出手段を設けると共に、位相差検出の手段においては信号を特定せずに検出出来る手段を設けることで、コンピュータなどの映像信号源と接続時に、ユーザーにとって未知であるドットクロック周波数、及び伝送線路等の要因による位相ずれの補正について自動調整でき、従来ユーザーによる調整に頼っていた点について、ユーザーに要求される点は自動調整を開始する等の制御という点のみであるという有利な効果が得られる。

【0133】また本発明によれば、フレーム毎に映像信号のサンプリング値の総和を算出し、その値のフレーム間でのばらつきを最小にすることで、コンピュータなどの映像信号源と接続時に、伝送線路等の要因による位相ずれの補正について自動調整でき、従来ユーザーによる調整に頼っていた点が、ユーザーが静止面を見ているときに自動調整を開始する制御をスタートさせるだけという点のみであるという有利な効果が得られる。

【0134】また本発明は、従来ユーザーによる調整に頼っていた位相調整が自動的に行え、かつ、非常に単純で安価な構成で自動調整が実現できるという有利な効果が得られる。

【図面の簡単な説明】

【図1】本発明の実施の形態1によるドットクロック再生装置のブロック図

【図2】映像信号源より出力する調整用映像信号波形の一例を示す図

【図3】周波数解析手段の一例のブロック図

【図4】積算器の一例の内部構成図

【図5】周波数が異なる場合でのサンプリングタイミング図

【図6】本発明の実施の形態2によるドットクロック再生装置のブロック図

【図7】レベル差検出手段の一例ブロック図

【図8】位相が異なる場合でのサンプリング説明図

【図9】本発明の実施の形態2によるドットクロック再生装置のブロック図

22

【図10】本発明の実施の形態3によるブロック図

【図11】本発明の実施の形態3によるクロック位相と検出値のヒストグラムを示す図

【図12】本発明の実施の形態4によるドットクロック再生装置のブロック図

【図13】映像信号とドットクロックの位相が誤った状態を示す図

【図14】映像信号とドットクロックの位相が正しい状態を示す図

【図15】本発明の実施の形態5のブロック図

【図16】サンプリングの例を示す図

【図17】本発明の実施の形態6のブロック図

【図18】映像信号を垂直方向に重ね合わせた拡大波形図

【図19】本発明の実施の形態7のブロック図

【図20】映像信号をフレーム方向に重ね合わせた拡大波形図

【図21】本発明の実施の形態8のブロック図

【図22】本発明の実施の形態9のブロック図

【図23】本発明の実施の形態10のブロック図

【図24】本発明の実施の形態11のブロック図

【図25】本発明の実施の形態7の制御回路8でのフローチャート

【図26】従来のドットクロック再生装置を示す図

【符号の説明】

1 映像信号源

2、401、502、602、702、802、90

2、102、202 A/D変換器

3、402、501、601、701、801、90

1、101、201 PLL回路

4 折返し周波数解析手段

5 信号レベル差検出手段

6 分周比設定回路

7 位相調整手段

9 マイコン

41、42、52、71 遅延器

43、72 減算器

44、73 絶対値回路

45、51、53、74 積算回路

54 分周器

403 加算器

404、503、507、607 ラッチ手段

803、807、907、103、107、207 ラッチ回路

405 演算手段

406 位相調整手段

504、604、704、804、904、104、2

04 差分回路

505、605、705、805、905、105、2

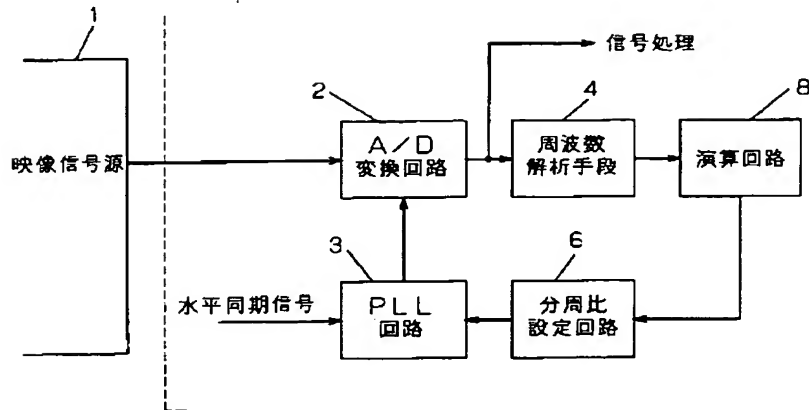
50 05 絶対値回路

(13)

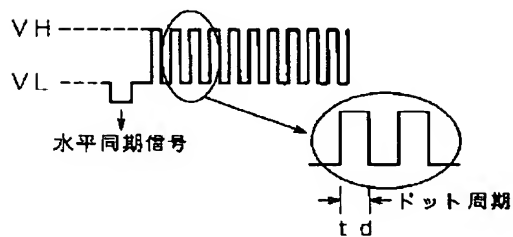
23
506、606、706、806、906、106、2
06 累積回路
508、608、708、808、908、108、2
08 制御回路
611 ラインメモリ

24
710 フレームメモリ
809、909、109、209 設定値記憶回路
812、912、112、212 比較回路
113、213 カウンター
114 割り算回路

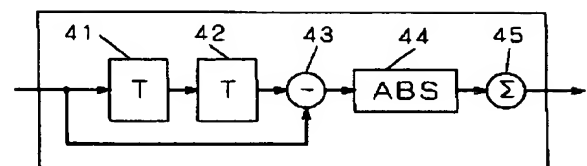
【図1】



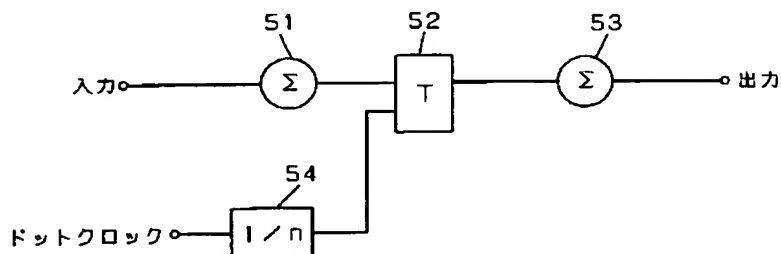
【図2】



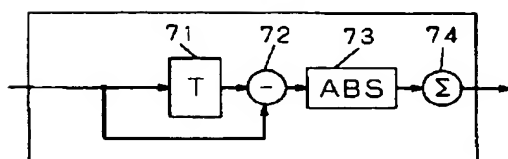
【図3】



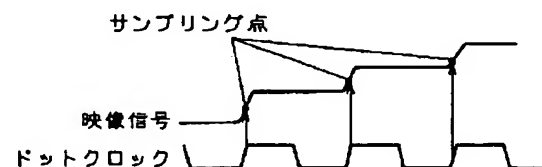
【図4】



【図7】

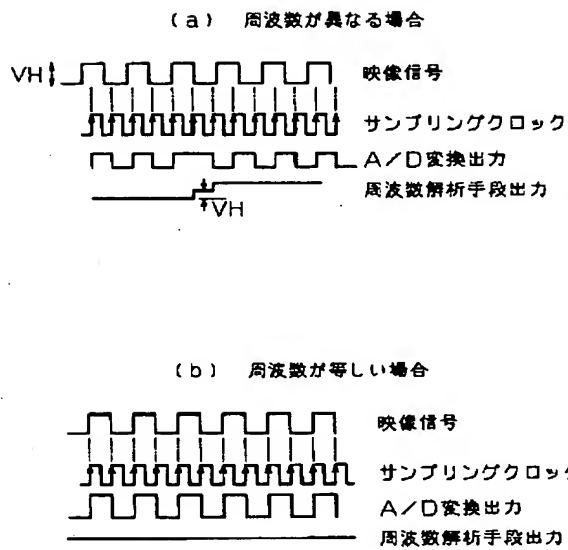


【図13】

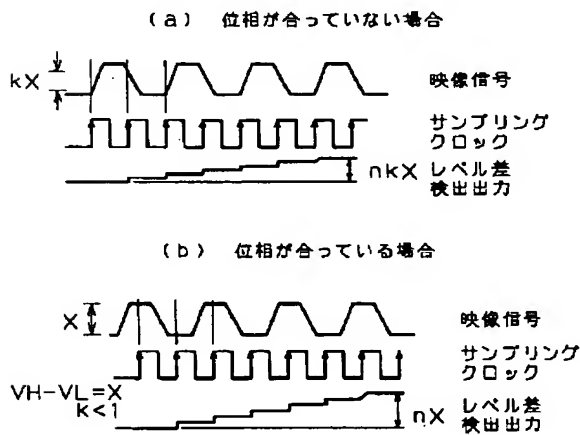


(14)

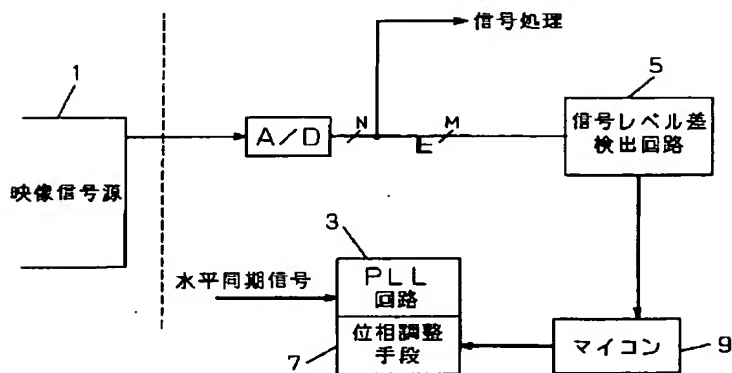
【図5】



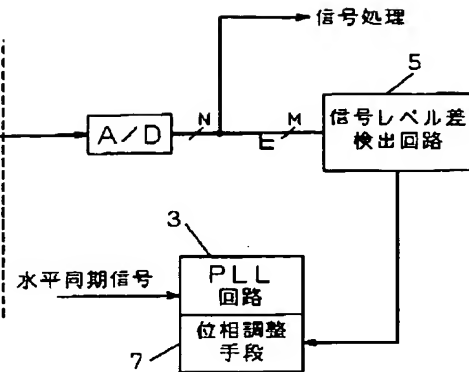
【図8】



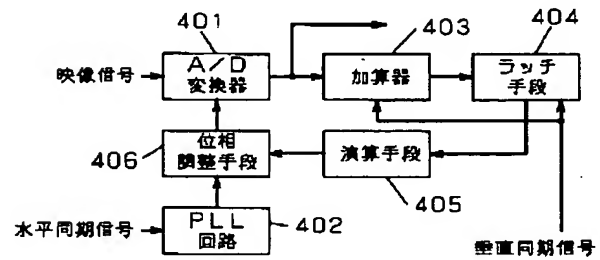
【図10】



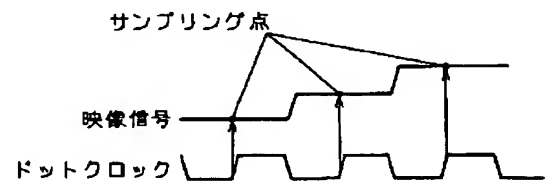
【図6】



【図12】

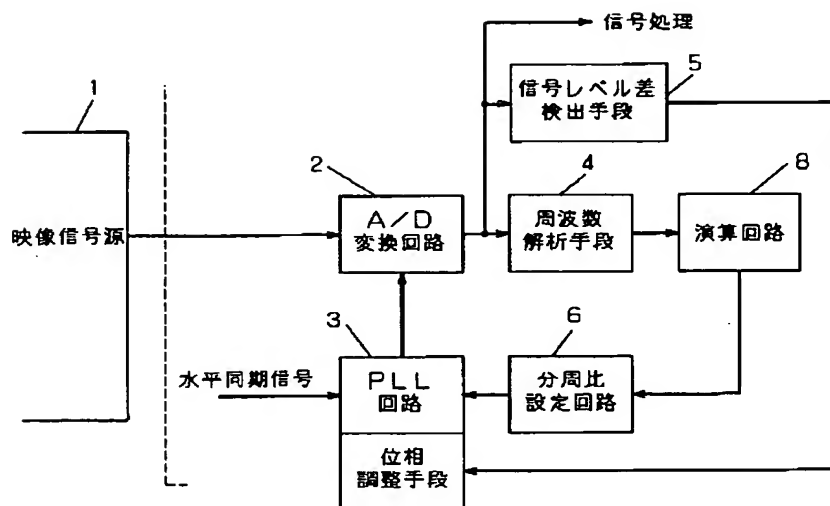


【図14】

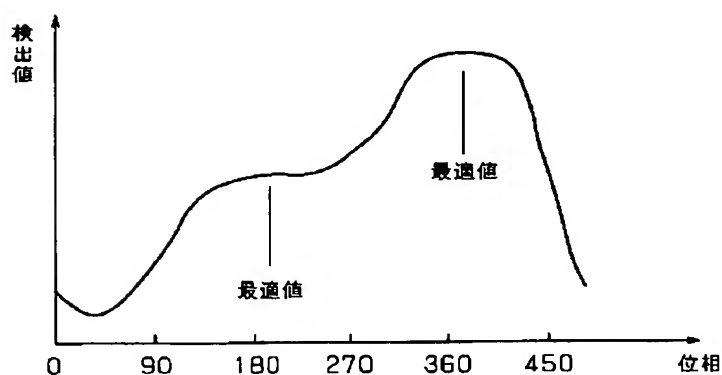


(15)

【图9】



【図 1 1】

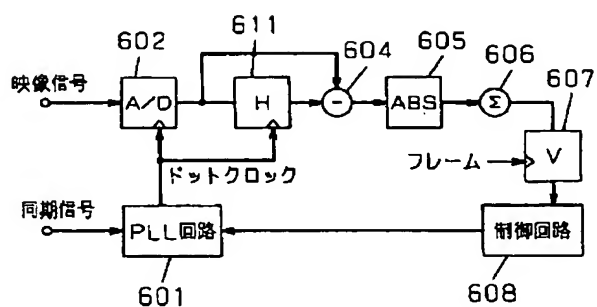
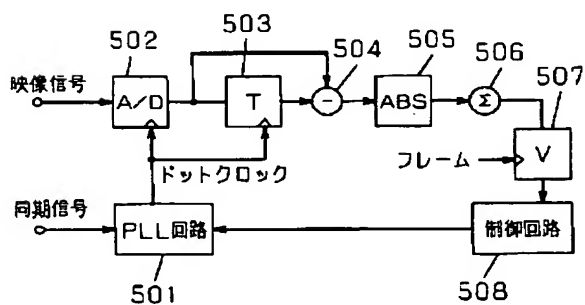


【图 15】

【图 17】

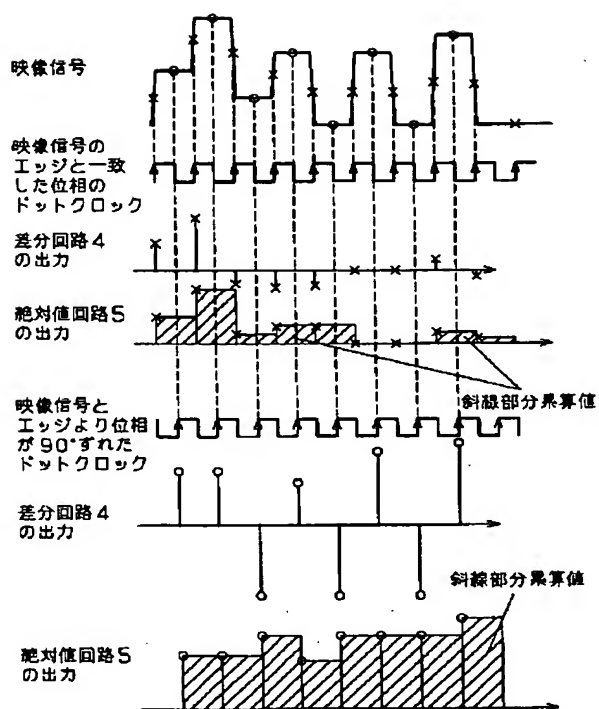
- | | |
|----------|--------|
| 502 | A/D変換器 |
| 503, 507 | ラッチ回路 |
| 504 | 差分回路 |
| 505 | 絶対値回路 |
| 506 | 累算回路 |

- 602 A/D変換器
604 差分回路
605 絶対値回路
606 果算回路
607 ラッチ回路
611 ラインメモリ

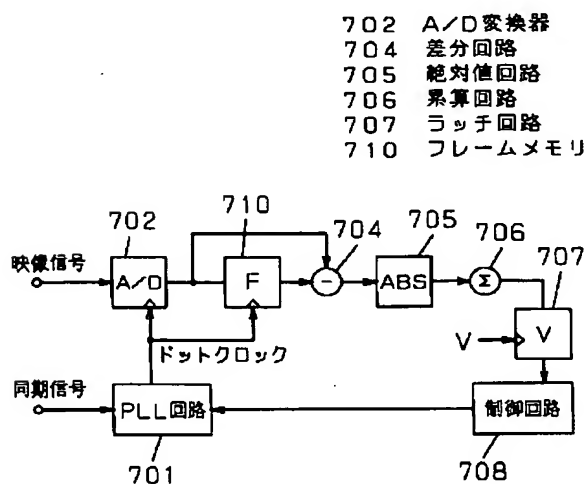


(16)

【図16】

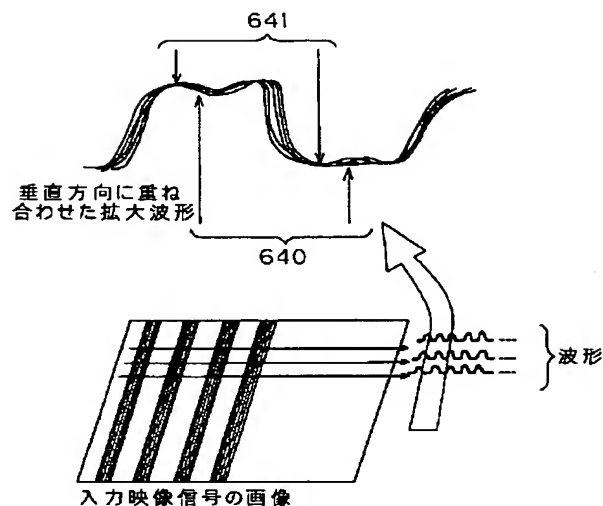


【図19】

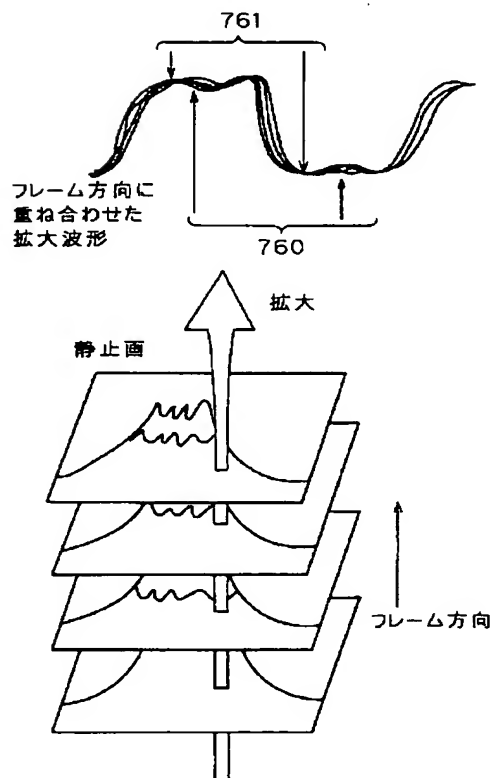


- 702 A/D変換器
- 704 差分回路
- 705 絶対値回路
- 706 累算回路
- 707 ラッチ回路
- 710 フレイムメモリ

【図18】

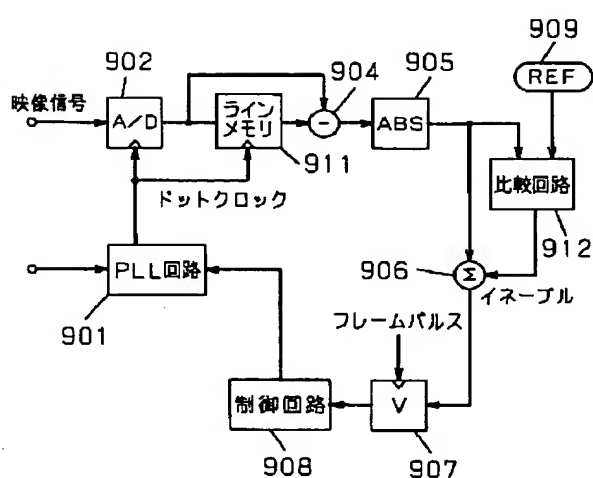


【図20】



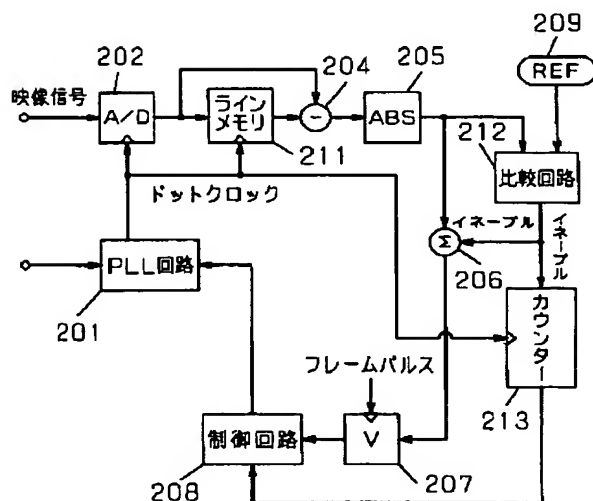
【图 2 2】

- 902 A/D変換器
904 差分回路
905 絶対値回路
906 果算回路
907 ラッチ回路
909 設定値記憶回路



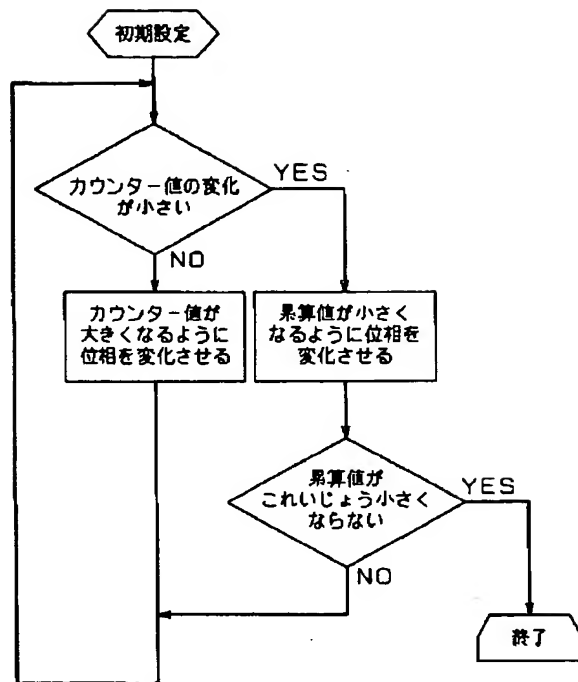
【图 24】

- 202 A/D変換器
204 差分回路
205 絶対値回路
206 累算回路
207 ラッチ回路
209 設定値記憶回路

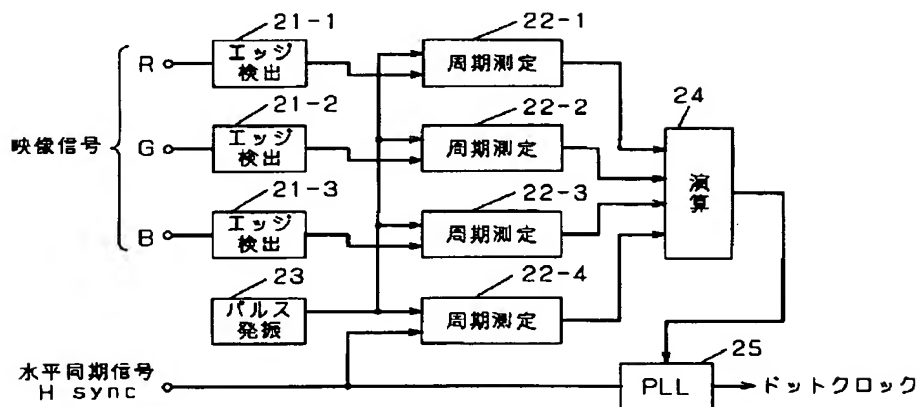


(18)

【図25】



【図26】



フロントページの続き

(72)発明者 進藤 嘉邦
大阪府茨木市松下町1番1号 株式会社松
下エーヴィシー・テクノロジー内

(72)発明者 山田 和洋
大阪府茨木市松下町1番1号 株式会社松
下エーヴィシー・テクノロジー内

(72)発明者 木田 和重
大阪府茨木市松下町1番1号 株式会社松
下エーヴィシー・テクノロジー内

(72)発明者 山口 一成
大阪府茨木市松下町1番1号 株式会社松
下エーヴィシー・テクノロジー内